

⑨ 日本国特許庁(J P)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭63-77275

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月7日

H 04 N 5/44
H 03 J 3/00
H 04 B 1/10
1/18
1/26

K-6957-5C
6913-5K
G-6913-5K
C-7251-5K
K-7251-5K

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 チューナ入力段フィルタ同調装置

⑮ 特 願 昭61-223151

⑯ 出 願 昭61(1986)9月19日

⑰ 発 明 者 山 田 忠 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑱ 発 明 者 臼 井 晶 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 発 明 者 久 保 一 彦 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
㉑ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

チューナ入力段フィルタ同調装置

2、特許請求の範囲

(1) チューナの入力段フィルタの同調素子である

可変容量ダイオードに同調電圧を供給し、かつ第1のデジタル情報で制御される第1のD/A変換回路と、第2のデジタル情報で制御される第2のD/A変換回路を通して得られるアナログ電圧とI F A G C電圧をそれぞれの入力とする比較器とを備え、チャンネルを選局し、局部発振周波数が安定したのちに、第2のD/A変換回路を第2のデジタル情報で制御して上記比較器の出力を取り込むことによって第2周波を検出し、入力電界に対応し、第2のデジタル情報に応じた補正値を第1のデジタル情報に加えることによって、入力同調電圧をクロマキャリアに対して映像キャリアが下がるように構成したことを特徴とするチューナ入力段フィルタ同調装置。

(2) 第1、第2のデジタル情報の制御、比較器出力の検出、およびデジタル情報の演算をマイクロコンピュータで行なうように構成したことを特徴とする特許請求の範囲第1項記載のチューナ入力段フィルタ同調装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、アップ-コンバート方式チューナの入力段フィルタの同調装置に関するものである。

従来の技術

一般に、既存のCATVコンバータは、局部発振周波数が受信周波数より高いアップ-コンバート方式と、既存のテレビ受像機に接続するために特定チャンネルに変換するダウン-コンバート方式とを横断接続したアップ・ダウンコンバート(UP/DOWN CONV)方式の受信方式が用いられており、近年、CATVのチャンネル数の増加につれて、第1IF(f_1)が高くとられるようになり、同調素子に可変容量ダイオードを使った電子チューナでは、第1局部発振器と入力段同調

特開昭63-77275(2)

フィルタの両者に共通の同調電圧を加えると、両者の可変範囲の周波数の変化比が異なるために、第1局部発振周波数を優先して同調させると入力同調周波数のトラッキング誤差が大きくなるので、入力段フィルタとして非同調のBPFを用いることが多い。ところで一方、入力段フィルタを非同調にすると、混変調、相互変調等の妨害特性が悪いので、入力段フィルタの同調を行なう手段として、第1局部発振時の同調電圧と独立の入力段同調電圧メモリ機能を備えた選局装置が提案されている。

第3図は、入力段フィルタの同調方式の選局装置のブロック図を示すものである。以下、図面を参照しながら従来のアップ・ダウンコンバート方式の選局装置について説明する。

第3図において、2はアップ・コンバート部、3はダウン・コンバート部であり、ダウン・コンバート部3は前者のアップ・コンバート部2の出力と接続されている。アンテナ入力端子4で受信された信号から、入力段同調フィルタ5で同調し

れる。

ところで、RF同調周波数(f_d)は次のような手順で得られる。チャンネル選局指令がマイクロコンピュータ17に入ると、マイクロコンピュータ17は予じめ任意のチャンネルデータとその入力段同調電圧情報を記憶しているデジタルメモリ18から取り出し、各チャンネルに対し演算補正をする。その演算補正は次のように行なっている。あるRF信号($f_{RF'}$)を受信時の局発同調電圧を(B_{TLO})、この時の入力段同調フィルタの同調電圧を(B_{TRF})とし、新しく選局したRF信号($f_{RF'}$)を受信時において、その局発同調電圧を($B_{TLO'}$)とした時、入力段同調フィルタの同調電圧($B_{TRF'}$)を

$$B_{TRF'} = B_{TRF} + \left(1 + \frac{f_{1f_1}}{f_{RF}}\right) (B_{TLO'} - B_{TLO})$$

但し、 f_{1f_1} :第1IF

とする。

以上のようにマイクロコンピュータ17で各チャンネルに対し演算補正をした入力段同調電圧情

た受信希望周波数(f_d)が取り出され、RFアンプ6で増幅されて、第1ミキサ7の入力信号端子へ入る。尚、RFアンプ6には端子15よりAGC電圧が加えられている。第1局部発振器8の同調用の可変容量ダイオードには、局発電圧制御端子9より、第1IFを(f_{1f_1})としたとき、第1局部発振周波数(f_{LO_1})が

$$f_{LO_1} = f_{1f_1} + f_d$$

となるよう同調電圧が加えられ、その出力が第1ミキサ7の局発信号端子に入る。第1ミキサ7で変換された第1IF(f_{1f_1})は、第1IFアンプ10で増幅された後、第2ミキサ11の入力信号端子へ入る。第2局部発振器12は、第2IFを(f_{1f_2})としたとき、第2局部発振周波数(f_{LO_2})が

$$f_{LO_2} = f_{1f_1} - f_{1f_2} \text{ (又は } f_{LO_2} = f_{1f_1} + f_{1f_2} \text{)}$$

で発振する固定周波数発振器であり、その出力は第2ミキサ11の局発信号端子へ入る。第2ミキサ11で変換された第2IF信号(f_{1f_2})は第2IFアンプ13で増幅され、端子14より出力さ

れる。D/A変換回路18でアナログ電圧に変換され、入力段フィルタ同調電圧制御端子19から抵抗器20を介して、入力段同調フィルタ5の可変容量ダイオードに加えられ、希望入力同調周波数(f_d)に同調するよう構成されている。

発明が解決しようとする問題点

ところが、弱電界入力に対しては、S/Nが悪く画像が見づらいということがあり、従来は回路基板のパターン等の工夫により弱電界時に映像キャリアを下げるというようなことがなされているが、発振の危険性があり、不安定なものであった。

本発明は、このような従来の問題点を解決するもので、弱電界時のS/Nの劣化を防止することを目的とする。

問題点を解決するための手段

本発明のチューナ入力段フィルタ同調装置は、可変容量ダイオードに同調電圧を供給し、かつ第1のデジタル情報で制御される第1のD/A変換回路とIFAGC電圧と、第2のデジタル情報で制御される第2のD/A変換回路を通して得られ

特開明63-77275(3)

る任意の基準電圧とを比較する比較器とを設け、チャンネルを選局し、局部発振周波数が安定したのちに、第2のD/A変換回路を第2のデジタル情報で制御して比較器の出力を取り込むことにより、弱電界を検出し、入力電界に対応し、第2のデジタル情報に応じた補正値を第1のデジタル情報に加えることによって、入力同調電圧をクロマキャリアに対して映像キャリアが下がるように構成されている。

作用

本発明の入力段フィルタ同調装置は、IFAGC電圧を検出することによって入力電界を判別し、弱電界時に予じめ所定の電界強度で設定された入力同調電圧のデジタル情報を、同調周波数が低くなるように補正することにより、弱電界時のS/Nを改善するものである。

実施例

以下、本発明の一実施例のチューナ入力段フィルタ同調装置を図面を参照して説明する。尚、第1図において、第3図に示す従来の構成と同一部

と同調装置において、チャンネル選局時に、IFAGC電圧を比較器34に取り込み、マイクロコンピュータ17でD/A変換回路35を制御する。そうして比較器出力が変化する時のD/A変換回路に与えるデジタル情報に対応した補正値を、マイクロコンピュータ17は、デジタルメモリ16に予じめ所定の電界強度でメモリーしている選局されたチャンネルの入力同調電圧情報に加え、補正する。

これにより、弱電界入力に対しても、入力同調回路の同調点を低く制御することによって、S/Nを改善することができる。

発明の効果

以上のように本発明のチューナ入力段フィルタ同調装置は、弱電界入力に対して、入力同調回路の同調点を低く制御することによりS/Nを改善する効果をもたらすものである。

4、図面の簡単な説明

第1図は本発明の一実施例におけるチューナ入力段フィルタ同調装置のブロック図、第2図は同

には同一番号を付している。

第1図において、第2IFは国内の場合で、映像キャリアを58.75MHzに選んでおり、ダウンコンバート出力端子14をVIF回路31へ入力するように接続し、映像検波する。映像検波された出力はRFAGC回路32、IFAGC回路33へ加えられ、その検波出力の大きさによって第2図のようにIFAGC電圧、RFAGC電圧が変化する。第2図の場合IFAGC、RFAGCともリバースAGCの例を示すものである。

RFAGC電圧はチューナの端子15を介してRFアンプ8へ加えられている。そして、IFAGC回路33と比較器34とはIFAGC電圧が比較器34の一端子に印加されるように接続され、もう一方の+端子はD/A変換回路35に接続され、マイクロコンピュータ17で制御されるように構成されている。そして比較器34の出力がマイクロコンピュータ17の入力ポートPに入力するように接続されている。

以上のように構成されたチューナ入力段フィル

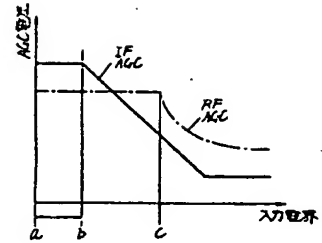
装置のAGC特性図、第3図は従来の装置のブロック図である。

17……マイクロコンピュータ、18、35……D/A変換回路、34……比較器。

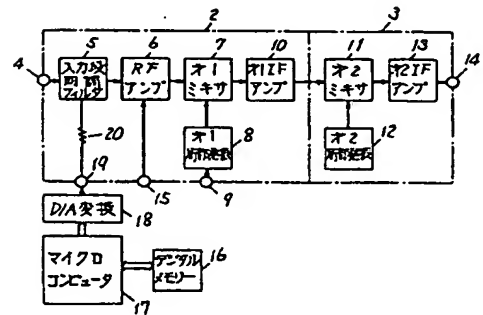
代理人の氏名 弁理士 中 尾 敏 男 ほか1名

特開昭63-77275(4)

第 2 図



第 3 図



第 1 図

